

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09284470 A**

(43) Date of publication of application: **31.10.97**

(51) Int. Cl.
H04N 1/024
B41J 2/345
H04N 1/028
H04N 1/032

(21) Application number: **08092270**

(71) Applicant: **ROHM CO LTD**

(22) Date of filing: **15.04.96**

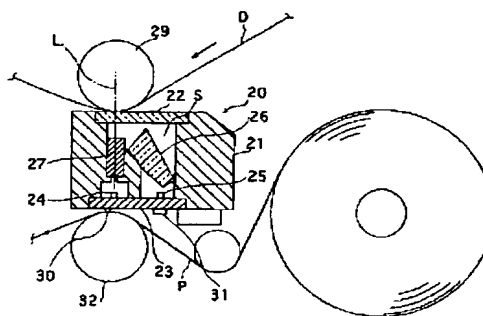
(72) Inventor: **FUJIMOTO HISAYOSHI**

(54) **PICTURE READING/WRITING HEAD**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a picture reading and writing head with both of a picture reading function as an image sensor and a picture recording function as a thermal printing head.

SOLUTION: The head is provided with a case 21, a glass cover 22 fixed to the top of this case 21, and a head substrate 23 fixed to the bottom of the case 21. Plural image sensor chips 24 and plural light emitting elements 25 are provided on the top of the head substrate 23, and a rod lens array 27 is arranged between the glass cover 22 and the plural image sensor chips 24 so that reflected light from an original on the glass cover 22 illuminated by the light emitting element may be focused on the plural image sensor chips. In addition plural heat generating dots 30 arranged in the state of a line and a driving circuit for driving each heat generating dot are provided at the rear face of the head substrate.



COPYRIGHT: (C)1997,JPO

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-284470

(43)Date of publication of application : 31.10.1997

(51)Int.Cl.

H04N 1/024

B41J 2/345

H04N 1/028

H04N 1/032

(21)Application number : 08-092270

(71)Applicant : ROHM CO LTD

(22)Date of filing : 15.04.1996

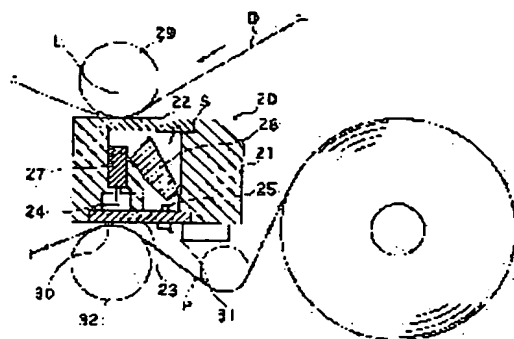
(72)Inventor : FUJIMOTO HISAYOSHI

(54) PICTURE READING/Writing HEAD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a picture reading and writing head with both of a picture reading function as an image sensor and a picture recording function as a thermal printing head.

SOLUTION: The head is provided with a case 21, a glass cover 22 fixed to the top of this case 21, and a head substrate 23 fixed to the bottom of the case 21. Plural image sensor chips 24 and plural light emitting elements are provided on the top of the head substrate 23, and a rod lens array 27 is arranged between the glass cover 22 and the plural image sensor chips 24 so that reflected light from an original on the glass cover 22 illuminated by the light emitting element may be focused on the plural image sensor chips. In addition plural heat generating dots 30 arranged in the state of a line and a driving circuit for driving each heat generating dot are provided at the rear face of the head substrate.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-284470

(43) 公開日 平成9年 (1997) 10月31日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N	1/024		H 0 4 N	1/024
B 4 1 J	2/345			1/028
H 0 4 N	1/028			1/032
	1/032		B 4 1 J	3/20
				1 1 3
				K

審査請求 未請求 請求項の数 7 O L (全 15 頁)

(21) 出願番号 特願平8-92270

(22) 出願日 平成8年 (1996) 4月15日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 藤本 久義

京都市右京区西院溝崎町21番地 ローム株式会社内

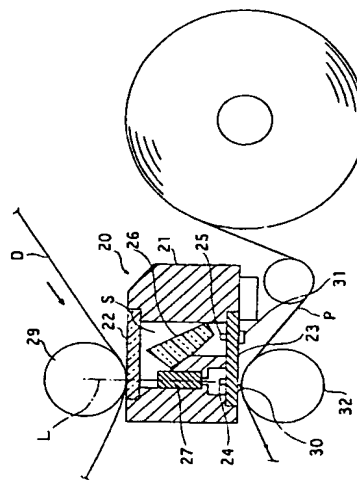
(74) 代理人 弁理士 吉田 稔 (外1名)

(54) 【発明の名称】 画像読み書きヘッド

(57) 【要約】

【課題】 イメージセンサとしての画像読み取り機能と、サーマルプリントヘッドとしての画像記録機能とを併せ有する画像読み書きヘッドを提供する。

【解決手段】 ケース21と、このケース21の上面に取付けられたガラスカバー22と、上記ケース21の底部に取付けたヘッド基板23とを備えており、上記ヘッド基板23の上面には、複数のイメージセンサチップ24と、複数の発光素子とが設けられているとともに、上記ガラスカバー22と上記複数のイメージセンサチップ24との間にロッドレンズアレイ27が配置されており、上記発光素子28によって照明された上記ガラスカバー22上の原稿からの反射光が上記複数のイメージセンサチップ24上に集束するように構成されているとともに、上記ヘッド基板23の裏面には、列状に配置された複数の発熱ドット30と、各発熱ドットを駆動するための駆動回路とが設けられている。



【特許請求の範囲】

【請求項1】 ケースと、このケースの上面に取付けられたガラスカバーと、上記ケースの底部に取付けたヘッド基板とを備えており、

上記ヘッド基板の上面には、複数のイメージセンサチップと、複数の発光素子とが設けられているとともに、上記ガラスカバーと上記複数のイメージセンサチップとの間にロッドレンズアレイが配置されており、上記発光素子によって照明された上記ガラスカバー上の原稿からの反射光が上記複数のイメージセンサチップ上に集束するように構成されているとともに、

上記ヘッド基板の裏面には、列状に配置された複数の発熱ドットと、各発熱ドットを駆動するための駆動回路とが設けられていることを特徴とする、画像読み書きヘッド。

【請求項2】 上記イメージセンサチップは、受光部としての所定個数の光電変換素子と、各光電変換素子にそれぞれ直列的に接続されるアナログスイッチと、クロック信号によって上記アナログスイッチを順次的にオンする切り換え回路と、上記各光電変換素子とこれに対応するアナログスイッチとからなる各セットに直列的かつ共通的に接続される出力負荷と、上記出力負荷の光電変換素子側の電位を増幅する増幅回路と、この増幅回路のゲイン調整用抵抗とを一体的に造り込まれて備えているものである、請求項1に記載の画像読み書きヘッド。

【請求項3】 上記ゲイン調整用抵抗は、直列に接続された複数の抵抗と、上記複数の抵抗の全部または一部のそれぞれに設けたレーザ光によって切断可能なバイパス配線とを備えて形成されている、請求項2に記載の画像読み書きヘッド。

【請求項4】 上記ヘッド基板は、セラミック基板材料の上面に、上記複数のイメージセンサチップと、上記複数の発光素子とを配置するための配線パターンが形成されているとともに、上記セラミック基板材料の裏面に、上記複数の発熱ドットのための共通電極パターンおよび個別電極パターンを含む配線パターンが形成されたものである、請求項2または3に記載の画像読み書きヘッド。

【請求項5】 上記ヘッド基板の裏面における少なくとも上記発熱ドットの下層には、蓄熱グレーズ層が形成されている、請求項4に記載の画像読み書きヘッド。

【請求項6】 上記ヘッド基板の上面における上記配線パターンおよび上記ヘッド基板の裏面における上記配線パターンはそれぞれ保護層で覆われており、かつ、上記ヘッド基板の上面の配線パターンを覆う保護層の軟化温度を上記ヘッド基板の裏面の配線パターンを覆う保護層の軟化温度よりも高く設定したこと特徴とする、請求項3ないし5のいずれかに記載の画像読み書きヘッド。

【請求項7】 上記ヘッド基板は、樹脂製基板材料の上面に上記複数のイメージセンサチップと上記複数の発光

素子とを配置するための配線パターンが形成された第1基板と、セラミック製基板材料の裏面に上記複数の発熱ドットのための共通電極パターンおよび個別電極パターンを含む配線パターンが形成された第2基板とを重ね合わせたものである、請求項2または3に記載の画像読み書きヘッド。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本願発明は、画像読み取り機能と、熱転写方式または感熱方式による印字機能とを併せ備える画像読み書きヘッドに関する。

【0002】

【従来の技術】 たとえば、ファクシミリ装置などの画像処理装置においては、画像読み取り機能をつかさどるイメージセンサと、受信した画像または上記イメージセンサによって読み取った画像を感熱記録紙等に記録するためのサーマルプリントヘッドとが別個に設けられている。

【0003】

【発明が解決しようとする課題】 画像処理装置において、画像読み取り機能と画像を感熱記録紙等に記録することができる機能とを併せ備えるヘッドが実現できれば、上記のようなファクシミリ装置の組立て部品点数が減少するし、また、ヘッドの占有スペースが節約できてファクシミリ装置等のさらなる小型化が大いに期待できるが、従来、このような画像読み書き一体ヘッドは存在しなかった。

【0004】 その理由は種々考えられるが、一つには、従来の密着型イメージセンサの基本構成が原因して、上記のような画像読み書き一体ヘッドの実現を阻害していたと考えることができる。

【0005】 図16に、従来の密着型イメージセンサ10の構造を示す。樹脂等でできたケース11の底面に配置した基板12には、読み取り幅と対応した長さ範囲に複数のイメージセンサチップ13が取付けられている。ケース11の上面には、透明なガラスカバー14が取付けられ、このカバーガラス14に設定した読み取りラインLと上記イメージセンサチップ13との間には、上記読み取りラインLに沿う明暗画像を正立等倍にイメージセンサチップ列上に集束させるためのロッドレンズアレイ15が配置されている。ケース11の内部空間にはまた、上記カバーガラス14の裏側から原稿Dを照明するための光源としての複数のLED16が、基板17に搭載された恰好で配置されている。

【0006】 たとえば、A4幅の原稿を8画素/mmで読み取るようにこの種のイメージセンサを構成する場合、1728ビットの受光部を配列する必要がある。一つのイメージセンサチップ上にたとえば96ビットの受光部を配置する場合、18個のイメージセンサチップ13が基板12上に取付けられることになる。

【0007】イメージセンサチップ13には、上記受光部に相当する複数のフォトランジスタ、各フォトランジスタと直列に接続されたアナログスイッチ、クロックパルスによって上記アナログスイッチを順次選択してオン駆動するためのシフトレジスタなどが一体に造りこまれたものであり、上記各アナログスイッチの出力端は、チップの出力端子に引き回される。

【0008】各フォトランジスタは、読み取り周期の間の受光量に応じた電流を流す。当該イメージセンサチップが選択されると、たとえば、クロックパルスの各立ち下がり期間、上記アナログスイッチが順次オンされ、その結果、チップの出力端子には、各フォトランジスタの受光量に相当するアナログ微小電流データがシリアルに出力される。一方、チップの端子出力は、基板上に設置した負荷抵抗に接続され、この負荷抵抗の一端における電位差が基板上に搭載される増幅回路によって増幅される。

【0009】上記チップから出力されるアナログ出力は、高インピーダンス出力であるとともに微小電流による出力であるため、図17に示すように、クロックパルス信号が交流成分として混入しやすい。したがって、基板12には、種々のノイズ対策が施される。たとえば、イメージセンサチップ13から増幅回路にいたるアナログ出力配線をグランド配線で囲んだり、クロックパルス信号配線を基板の裏面のできるだけ上記イメージセンサチップ13の配置領域から遠い領域に配置したりというノイズ対策が施される。

【0010】このように、従来の密着型イメージセンサにおいては、イメージセンサチップ13を搭載する基板12には、ノイズ対策として、この基板の表面および裏面に配線の工夫を施す必要があるとともに、上記のようにイメージセンサチップ以外に、増幅回路やそのゲインを調整するための各種の電子部品を表面および裏面の双方に取付ける必要がある。したがって、上記のような従来の密着型イメージセンサのチップ搭載基板を利用して、これにサーマルプリントヘッドとしての機能を設けることは、スペース的に無理がある。また、上記従来の密着型イメージセンサにおけるチップ搭載基板は、いわゆるプリント配線基板と同様の、ガラスエポキシ基材にプリント配線を施したものが常識的に使用されており、耐熱性が要求されるサーマルプリントヘッドの基板として共用することができない。

【0011】本願発明は、このような事情のもとで考え出されたものであって、イメージセンサとしての画像読み取り機能と、サーマルプリントヘッドとしての画像記録機能とを併せ有する画像読み書きヘッドを提供することをその課題としている。

【0012】

【発明の開示】上記の課題を解決するため、本願発明では、次の技術的手段を講じている。

【0013】すなわち、本願発明の画像読み書きヘッドは、ケースと、このケースの上面に取付けられたガラスカバーと、上記ケースの底部に取付けたヘッド基板とを備えており、上記ヘッド基板の上面には、複数のイメージセンサチップと、複数の発光素子とが設けられているとともに、上記ガラスカバーと上記複数のイメージセンサチップとの間にロッドレンズアレイが配置されており、上記発光素子によって照明された上記ガラスカバー上の原稿からの反射光が上記複数のイメージセンサチップ上に集束するように構成されているとともに、上記ヘッド基板の裏面には、列状に配置された複数の発熱ドットと、各発熱ドットを駆動するための駆動回路とが設けられていることを特徴とする。

【0014】上記画像読み書きヘッドは、ケースの上面に取付けたガラスカバー上に案内されてくる原稿の画像を上記ヘッド基板の上面に配置したイメージセンサチップが読み取る。一方、ケースの裏面側に臨む上記ヘッド基板の裏面に配置された複数の発熱ドットが印字データにしたがって駆動回路によって駆動させることにより、この発熱ドットに接触するようにして送られる感熱記録紙に画像を記録する。このように、上記構成の画像読み書きヘッドは、その上面に読み取り原稿の搬送経路を設定し、下面に記録紙の搬送経路を設定することができるので、この画像読み書きヘッドを搭載する画像処理装置は、とくにその原稿および記録紙送り方向（副走査方向）の寸法を、著しく短縮することができる。

【0015】好ましい実施形態において、上記イメージセンサチップは、受光部としての所定個数の光電変換素子と、各光電変換素子にそれぞれ直列的に接続されるアナログスイッチと、クロック信号によって上記アナログスイッチを順次的にオンする切り換え回路と、上記各光電変換素子とこれに対応するアナログスイッチとからなる各セットに直列的かつ共通的に接続される出力負荷と、上記出力負荷の光電変換素子側の電位を増幅する増幅回路と、この増幅回路のゲイン調整用抵抗とを一体的に造り込まれて備えているものが使用される。

【0016】好ましい実施形態において、上記イメージセンサチップの上記ゲイン調整用抵抗は、直列に接続された複数の抵抗と、上記複数の抵抗の全部または一部のそれぞれに設けたレーザ光によって切断可能なバイパス配線とを備えて形成されている。

【0017】上記イメージセンサチップは、受光部としての所定個数の光電変換素子、各光電変換素子にそれぞれ直列的に接続されるアナログスイッチ、クロック信号によって上記アナログスイッチを順次的にオンする切り換え回路などからなるイメージセンサチップとしての基本的構成に加え、各光電変換素子のための出力負荷と、この出力負荷の一端電位を増幅するための増幅回路と、この増幅回路のためのゲインを調整するための抵抗までもが1チップ内に一体に造り込まれたものである。とく

に、増幅回路のゲインは、このイメージセンサチップを作製するためのウエハの段階において、上記直列に接続された複数の抵抗のうち、選択した抵抗を、そのバイパス配線をレーザカットして活かすことによって上記ゲイン調整抵抗の全抵抗を設定することにより、簡便に調整することができる。

【0018】このようなイメージセンサチップにおいては、画像読み取り信号として各光電変換素子から出力される微小電流信号は、センサチップ外に出ることなく、上記出力負荷の光電変換素子側の電位が増幅回路によって増幅されたアナログ電圧信号として外部に出力される。したがって、従来の密着型イメージセンサの場合のように、クロック信号に起因するノイズによって画像読み取り性能が悪化するという不具合は著しく軽減され、または解消される。その結果、このイメージセンサチップが搭載される上記ヘッド基板の上面には、増幅回路やそれに関連する電子部品を搭載する必要がなくなるとともに、ノイズ対策のための特別な配線パターンを採用する必要もなくなり、上記ヘッド基板の上面のみに、画像読み取り機能を達成するためのすべての構成、すなわち、上記イメージセンサチップのほか、照明光源としての発光素子を配置することが容易になる。

【0019】好ましい実施形態においてはまた、上記ヘッド基板は、セラミック基板材料の上面に、上記複数のイメージセンサチップと、上記複数の発光素子とを配置するための配線パターンが形成されているとともに、上記セラミック基板材料の裏面に、上記複数の発熱ドットのための共通電極パターンおよび個別電極パターンを含む配線パターンが形成されたものとして形成されている。

【0020】上記ヘッド基板は、耐熱性と絶縁性に優れたセラミック材料を基材としているので、その下面に構成されるサーマルプリントヘッド機能のための基板として求められる要件を満足する。そして、その上面にイメージセンサ機能を構成するための配線パターンのみを、その下面にサーマルプリントヘッド機能を構成するための配線パターンのみを形成している。サーマルプリントヘッド機能を構成するための配線パターンは、共通電極パターンおよび個別電極パターンの双方が微細なパターンであるため、フォトリソ工程を必要とするが、上記構成のヘッド基板は、まず、基板材料の上面に対してイメージセンサ機能を形成するための配線パターンをたとえばスクリーン印刷法によって形成した後、このヘッド基板中間品を、従前のサーマルプリントヘッドのためのヘッド基板を製造するための工程に導入することにより、簡便に製造することが可能となる。

【0021】好ましい実施形態においてはまた、上記ヘッド基板の上面における上記配線パターンおよび上記ヘッド基板の裏面における上記配線パターンはそれぞれ保護層で覆われており、かつ、上記ヘッド基板の上面の配

線パターンを覆う保護層の軟化温度を上記ヘッド基板の裏面の配線パターンを覆う保護層の軟化温度よりも高く設定されている。

【0022】このようにすれば、まずヘッド基板の上面を形成した後に、ヘッド基板の下面を形成する場合に、下面の保護層を形成するに際して、すでに形成されている上面の保護層が悪影響を受けることがなくなる。

【0023】本願発明のその他の特徴および利点は、図面を参照して以下に行う詳細な説明から、より明らかとなろう。

【0024】

【発明の実施の形態】以下、本願発明の好ましい実施形態を、図面を参照して具体的に説明する。

【0025】まず、図1および図2を参照して、本願発明に係る画像読み書きヘッド20の一実施形態の概略構成を説明する。この画像読み書きヘッド20は、略矩形形状の断面形状と、所定の長手寸法を有するケース21を有しており、このケース21は、樹脂成形によって作製することができる。そして、このケース21は、図2に良く表れているように、上下に貫通する内部空間Sをもち、上部開口を封鎖するようにしてガラスカバー22が取付けられているとともに、下部開口を封鎖するようにして、ヘッド基板23が取付けられている。このヘッド基板23の上面における幅方向一側寄りには、複数のイメージセンサチップ24が取付けられており、幅方向他側寄りには、照明光源としての複数のLEDチップ25が取付けられている。ケース21の内部空間Sには、上記LEDチップからの光を効率的に上記ガラスカバー22上の原稿Dに照射するための透明樹脂からなる導光板26と、原稿面Dからの反射光を正立等倍に上記イメージセンサチップ24に集束させるためのロッドレンズアレイ27が設けられている。

【0026】たとえば、A4幅の原稿を8画素/mmの主走査密度で読み取るように構成する場合、1728個の受光素子を等間隔一列に配列する必要がある。このような受光素子は、複数の受光素子28を設けたイメージセンサチップ24を複数個並設して実現される。たとえば、96個の受光素子を有するイメージセンサチップ24を用いる場合、すべての受光素子28のピッチが一定となるように、18個のイメージセンサチップ28を長手方向に互いに密接させてヘッド基板23上に搭載することになる。

【0027】上記カバーガラス22の上面と対向するようにして、プラテンローラ29が配置されており、このプラテンローラ29にバックアップされて、読み取り原稿Dが上記カバーガラス22上に案内される。以上の構成が、ガラスカバー22上に案内された原稿Dの画像を読み取るイメージセンサとしての機能を実現する。すなわち、カバーガラス22上に設定された読み取りラインLに沿う原稿D上の明暗画像がそのままイメージセンサ

チップ24上の受光素子列に反映され、1読み取りラインごとに、各受光素子28の受光量を表すデータがシリアルにつながられたアナログデータが読み取りデータとして出力される。

【0028】一方、上記ヘッド基板23の下面における幅方向一側寄りには、複数列状に配列された発熱ドット30が設けられ、幅方向他側寄りには、上記発熱ドット30を個別発熱制御するための複数の駆動IC45が搭載されている。発熱ドット列と対向するようにして、プラテンローラ32が配置され、このプラテンローラ32にバックアップされるようにして、感熱記録紙等の記録紙Pが上記発熱ドット30に押しつけられるようにして、搬送される。ヘッド基板23の下面に形成された以上の構成が、サーマルプリントヘッドとしての機能を実現する。すなわち、駆動IC45は、印字データにしたがって、1印字ラインごとに、発熱ドット列のうちの選択した発熱ドット30を発熱駆動する。

【0029】以下、上記ヘッド基板23の上面に形成されるイメージセンサ機能のための具体的構成およびその動作、ならびに、ヘッド基板23の下面に形成されるサーマルプリントヘッド機能のための具体的構成およびその動作について、説明する。

【0030】図3は、上記ヘッド基板23の上面に取付けられたイメージセンサチップ24の1単位を平面的に示している。このイメージセンサチップ24は、シリコンウエハ上にマスクワークを施すことによって所定の素子や端子を一体に造り込んだのち、ダイシングによって単位チップに分割したものであり、その上面一側縁に沿って、上記受光素子28が8個/mmのピッチで等間隔に配置されているとともに、上面他側縁に沿って、シリアル・イン(SI)、クロック(CLK)、ロジック電源(VDD)、グラウンド(GND)、アナログ・アウト

(AO)、シリアル・アウト(SO)などの端子パッドが配列されている。これらの端子パッドは、後述するように、ヘッド基板23上に形成された所定の配線パターンに対して、ワイヤボンディングによって結線される。

【0031】図5は、上記イメージセンサチップ24の等価回路構成を示す。受光素子としての複数個(図に示す形態においては96個)の光電変換素子、より具体的にはフォトトランジスタ28が、それらのエミッタをロジック電源(VDD)に共通接続するようにして配設されている。各フォトトランジスタ28のコレクタには、アナログスイッチ33がそれぞれ直列に接続されている。これらのアナログスイッチ33は、当該イメージセンサチップ24が選択された状態において、クロック信号によって作動する切り換え回路34によって、順次的にオンされる。このような切り換え回路34としては、シフトレジスタが好適に採用される。したがって、このシフトレジスタ34には、シリアル・イン(SI)信号、および、クロック(CLK)信号が入力される。

【0032】各アナログスイッチ33の出力端とグラウンド(GND)端子との間には、所定の抵抗値をもつ抵抗負荷35が、直列的かつ共通的に接続されている。そして、この抵抗負荷35と並列に、コンデンサ負荷36が介装されている。これは、抵抗負荷35とコンデンサ負荷36とが協働して、フォトトランジスタ28のための出力負荷を構成する。すなわち、これら抵抗負荷35およびコンデンサ負荷36の光電変換素子側の端部は、増幅回路としてのオペアンプ37の非反転入力に接続されている。このオペアンプ37の反転入力には、グラウンドとの間に介装された抵抗群Raと、オペアンプ37の出力端との間に介装された抵抗群Rbとからなるゲイン調整用抵抗Rが接続されている。周知のとおり、オペアンプ37のゲインGは、 $G = 1 + (Rb / Ra)$ の関係によって定まる。

【0033】上記ゲイン調整用抵抗Rは、より具体的には、次のように構成されている。すなわち、上記抵抗群Raは、20kΩの基準抵抗Ra0に、2kΩ、4kΩ、8kΩおよび16kΩの4つの調整用抵抗Ra1、Ra2、Ra3、Ra4が直列に接続されており、各調整用抵抗には、バイパス配線38がそれぞれ並列に設けられて構成されている。また、上記抵抗群Rbは、200kΩの基準抵抗Rb0に、20kΩ、40kΩ、80kΩおよび160kΩの4つの調整用抵抗Rb1、Rb2、Rb3、Rb4が直列に接続されており、各調整用抵抗には、バイパス配線38がそれぞれ並列に設けられている。上記バイパス配線38は、シリコンウエハ上に形成された微細なアルミニウム配線である。上記抵抗群Raについていえば、すべてのバイパス配線38がつながっている状態において、上記基準抵抗Ra0のみが生きており、したがって、この抵抗群Raの全抵抗は20kΩである。同様に上記抵抗群Rbについていえば、すべてのバイパス配線38がつながっている状態において、全抵抗は200kΩである。したがって、この状態でのオペアンプ37のゲインGは、 $G = 1 + (200 / 20) = 11$ となる。

【0034】上記のゲインGを高めるには、上記抵抗群Rbの全抵抗を高める。上記ゲインGを低めるには、上記抵抗群Raの全抵抗を高める。各抵抗群Ra、Rbの全抵抗を高めるには、それらを構成する直列接続の調整抵抗Ra1、Ra2、Ra3、Ra4、Rb1、Rb2、Rb3、Rb4のどれを活かすかを選択し、その選択された抵抗のバイパス配線38を切断する。図に示す実施形態においては、たとえば抵抗群Raについては、その調整抵抗Ra1、Ra2、Ra3、Ra4が2kΩ、2²kΩ、2³kΩ、2⁴kΩの4つの抵抗からなっているので、調整抵抗のうちのどの抵抗を選択するかにより、20kΩから2kΩきざみで50kΩまでの抵抗値を選択することができる。同様に、抵抗群Rbについては、200kΩから20kΩきざみで500kΩまでの抵抗値を選択することができる。ゲインの調整は、ダイシングによるチップ分

割前のウエハの状態において、所定の照明条件のもとで各チップ領域についてアナログ出力をチェックし、この段階でのアナログ出力に対してユーザ等によって求められるアナログ出力レベルを得るために必要なアンプ37のゲインを演算し、こうして演算されたゲインとなるように、上記抵抗群Ra および抵抗群Rb の全抵抗を設定するべく、選択した調整抵抗のバイパス配線38をレーザカットにより切断することにより行う。このようなレーザカットは、たとえばエキシマレーザのビームを入・切制御しつつ、ウエハ上を走査させることにより簡便に行うことができる。

【0035】一方、上記抵抗負荷35およびコンデンサ負荷36からなる出力負荷と並列にアナログスイッチ39が介装され、このアナログスイッチ39は、チップ選択回路40からの信号によってオン・オフされる。また、上記オペアンプ37の出力端とアナログ・アウト

(AO) 端子との間には、アナログスイッチ41が介装され、このアナログスイッチ41は、上記チップ選択回路40からの信号によってオン・オフされる。上記シフトレジスタ34の一端は、シリアル・アウト (SO) 端子および上記チップ選択回路40に接続されており、上記チップ選択回路40には、シリアル・イン (SI) 信号およびクロック (CLK) 信号が入力される。

【0036】上記チップ選択回路40は、上記シリアル・イン (SI) からのパルス信号が入力されてから、シフトレジスタ34の出口からのパルス信号の出力までの期間、上記アナログスイッチ41をオンし、クロックパルスの各立ち上がりの期間、上記アナログスイッチ39をオンする。

【0037】上記のようにして形成されたイメージセンサチップ24は、次のようにして基板23上にボンディングされる。すなわち、図4に示すように、各イメージセンサチップ24のロジック電源 (VDD) 端子は基板23上のロジック電源配線パターン42_{vdd} に、グランド (GND) 端子は基板上のグランド配線パターン42_{gnd} に、クロック信号 (CLK) 端子は基板上のクロック信号配線パターン42_{clk} に、アナログ・アウト (AO) 端子は基板上のアナログ・アウト配線パターン42_{ao} に、それぞれワイヤボンディングによって共通接続されるとともに、隣接するイメージセンサチップのシリアル・イン (SI) 端子とシリアル・アウト (SO) 端子間は、基板上の配線パターン42_s を介して、カスケード接続される。

【0038】上記ヘッド基板23にはまた、照明光源としての複数個のLEDチップ25を配設するための配線パターン42_{led} も形成されており、これらの配線パターンを利用して、上記複数個のLEDチップ25が、所定間隔をおいて配設されている。

【0039】上記の各配線パターン42_{vdd}、42_{gnd}、42_{clk}、42_{ao}、42_s、42_{led} は、アル

ミナセラミックからなる基板材料の上面に、たとえば、金ペースト、あるいは銀・パラジウムペーストを用いたスクリーン印刷および焼成を行うことにより、好適に形成することができる。なお、好適には、このような配線パターンを形成した基板には、さらに、図6に示すように、ガラスペーストによって印刷および焼成を行うことによる、保護層が形成される。各配線パターンは、基板23の一定部位に集められ、たとえば適当なコネクタを装着しておくなどして、外部接続に備えられる。

10 【0040】次に、上記イメージセンサ機能の動作を説明する。ガラスカバー22に設定される読み取りラインL上にある原稿Dの明暗画像が1728個の受光素子28に集束させられる。すなわち、読み取りライン上の明暗画像に対応する強さの光が一行に並ぶ上記1728個の受光素子のそれぞれに照射される。

【0041】図7のタイミングチャートに示されるように、当該チップにシリアル・イン (SI) 端子からのパルス信号が入力された時点で、上記チップ選択回路40は、アナログ・アウト (AO) 端子におけるアナログスイッチ41をオンし、この状態は、シフトレジスタ34からパルス信号が出力 (SO) されるまで継続する。すなわち、上記アナログスイッチ41がオンとなっている期間、アナログ・アウト (AO) 端子から画像読み取りデータがシリアルに出力される。

【0042】シフトレジスタ34の一端に入力されたパルス信号は、クロックパルスによって順次シフトされ、これにともない、各フォトトランジスタ28に直列接続されているアナログスイッチ33が順次的にオンされる。こうして、読み取り信号を取り出すべきフォトトランジスタ28が順次的に選択される。一方、上記チップ選択回路40はまた、クロックパルスの各立ち上がり期間上記アナログスイッチ39をオンし、クロックパルスの立ち下がり期間上記アナログスイッチ39をオフするから、図7のタイミングチャートに示されるように、クロックパルスの各立ち下がり期間、上記のように順次的に選択されるフォトトランジスタ28によって所定の読み取り周期の間に当該フォトトランジスタが受けた光の強さに応じた電荷が上記抵抗負荷35およびコンデンサ負荷36からなる出力負荷を流れる。このときの微小電流信号は、上記出力負荷35、36のフォトトランジスタ側の電位として検出され、これは、上記オペアンプ37によって電圧波形に変換されるとともに所定のゲインによって増幅され、このような電圧波形よりなるアナログデータが上記アナログ・アウト (AO) 端子からシリアルに出力される。シフトレジスタ34の出口から出力されたパルス信号は、シリアル・アウト (SO) 端子からヘッド基板23上のパターンを介して隣接するチップに送られ、隣接するチップでは、上述したのと同様に、各フォトトランジスタ28によって検出された信号が、
50 シリアルデータとして読み出される。

【0043】図7にはまた、上記実施形態に係るイメージセンサチップ24について、照明光の強さを変更した場合の出力波形が示されている。この図から判るように、光を照射しない暗レベルにおいて、図16および図17に示した従来例のようにクロックパルスが交流成分として出力波形に乗るということがない。これは、上記のイメージセンサチップ24においては、出力負荷35、36および増幅回路37がイメージセンサチップ24内に一体に組み込まれているために、従来例のようにノイズを拾いやすい高インピーダンス出力が基板に引き出されることがないためである。したがって、出力波形は、各フォトランジスタ28が受ける光の強さに対応した適正なものとなり、その結果、このイメージセンサチップによる画像読み取り性能は、飛躍的に高まる。

【0044】ところで、上記実施形態においては、受光素子としてのフォトランジスタ28の負荷として、抵抗負荷35とコンデンサ負荷36とを協働させた構成を採用している。前述のように、フォトランジスタ28は、読み取り周期の間に受けた光の量に応じた電流を、上記アナログスイッチ39がオフとなっている期間に出力するが、このとき、出力負荷中のコンデンサとしての特質から、フォトランジスタ28に滞留していた電荷が一挙にこのコンデンサ36に流入し、上記アナログスイッチ39のオフ期間が終了した時点でとくにフォトランジスタ28のベースに残留する電荷量を低減することができる。

【0045】図8は、原稿Dに「白」部分と「黒」部分とを設け、「白」部分に引き続いて「黒」部分を読み取った場合のアナログ出力について、フォトランジスタ28の出力負荷として種々のものを設定した場合について実験した結果をまとめたものである。すなわち、図8(a)は、上記出力負荷として47kΩの抵抗を設けた場合、図8(b)は上記出力負荷として100kΩの抵抗を設けた場合、図8(c)は上記出力負荷として容量33pFのコンデンサを設けた場合、図8(d)は上記出力負荷として容量100pFのコンデンサを設けた場合、図8(e)は上記出力負荷として容量200pFのコンデンサを設けた場合につき、それぞれ、「白」読み取り時での出力と「黒」読み取り時での出力を量的に表している。なお、この場合の電源電圧は5V、照明光源の光量は、0.796μW、読み取り周期は5ms、オペアンプのゲインは10倍である。この図から判るように、理想的には出力レベルが0であるはずの「黒」読み取りにおいても、ある程度のレベルの出力が生じる。これは、「白」読み取り時にフォトランジスタにおけるとくにベースに残留した電荷が「黒」読み取り時に出力された結果である。すなわち、「黒」読み取り時のアナログ出力は、その直前の「白」読み取り時における残留電荷量に相当する。

【0046】図8から判るように、出力負荷として抵抗

を設けた場合には、上記残留電荷量の「白」読み取り時の出力に対する比率は26%を超えるが、出力負荷としてコンデンサを設けた場合には、上記比率はより低く、容量の設定によっては、16%近くまで下げることができる。このような残留電荷量の比率が低くなるほど、細い横罫線の読み取りが適正に行えるのであり、したがって、実施形態に採用されている上記イメージセンサチップ24によれば、横罫線の読み取りという観点からみても、その性能が向上させられている。

10 【0047】また、出力負荷中に抵抗負荷35を上記のようにして含ませることにより、かつ、この抵抗負荷35の抵抗値を選択することにより、図9に示すように、アナログ・アウト(AO)端子から出力される明出力波形を変更することができる。すなわち、抵抗負荷が相対的に大きい場合には、図9(a)に示すように、出力波形は右上がりの鋸刃状を呈し、抵抗負荷を小さくしてゆくにしたがって、波形の頂部の終端部が下がり傾向となる。画像読み取りデータの最適な処理にあたっては、図9(b)に示すように、このような明出力波形ができるだけ矩形波に近い、頂部に水平部または略水平部が形成されるような波形であることが望ましいが、かかる波形は、上記抵抗負荷の抵抗値を適切に選択することによって得ることができる。

【0048】図10ないし図15は、ヘッド基板23の下面に形成されるサーマルプリントヘッド機能の構成例を示している。図に示される実施形態においては、いわゆる厚膜型のサーマルプリントヘッドとしての構成が上記ヘッド基板23の下面に形成されている。図10ないし図13に示されるように、上記ヘッド基板23の下面の30 一側縁に沿うようにして、上記発熱ドット30を構成するための発熱抵抗体44が直線状に設けられており、上記発熱ドット30を所定個数毎に分担して駆動するための駆動IC45が、上記ヘッド基板23の下面の他側縁に沿うようにして複数個搭載されている。

【0049】図14および図15に詳示するように、上記発熱抵抗体44の外側には、これと平行に延びるようにして共通電極配線46が形成されている。この共通電極配線46からは、発熱抵抗体44の下層にもぐり込むようにしてヘッド基板23の幅方向に櫛歯状のコモンパターン47が延ばされている。また、このコモンパターン47の各間の領域には、櫛歯状の個別電極パターン48が入り込まされている。この櫛歯状個別電極パターン48の基端部は、上記駆動IC45の一側近傍まで延ばされており、各個別配線パターン48は、上記駆動IC45の出力パッドDROに対してワイヤボンディングによって結線されている。

【0050】上記各駆動IC45は、これに入力される印字データにしたがって、選択した個別電極パターン48に電流を流す。そうすると、発熱抵抗体44において、当該個別電極パターン48を挟んで両側に位置する

コモンパターン47間の領域に電流が流れ、この領域が発熱する。すなわち、発熱抵抗体44は、図14に詳示するように、その下にもぐり込んでのびる櫛歯状のコモンパターン47によって、長手方向に微小領域毎に区画され、各区画された領域が発熱ドット30として機能する。

【0051】図12に示すように、各駆動IC45の上面には、上記した出力パッドDROのほか、信号系のパッドと、電源系のパッドとが形成される。信号系のパッドとしては、データ・インパッドDI、データ・アウトパッドDO、クロック信号パッドCLK、ストロブ信号パッドSTB、ラッチ信号入力パッドLA、等がある。電源系のパッドとしては、ロジック電源パッドVDD、およびパワーグランドパッドPG等がある。

【0052】上記データ・インパッドDIは、各駆動IC45の左方に設けられており、データ・アウトパッドDOは右方に設けられている。そして、隣合うIC間のデータ・アウトパッドDOとデータ・インパッドDI間は、ヘッド基板23上に形成された配線パターン50_{DATA}を利用するなどして、カスケード接続されている。上記ストロブ信号入力パッドSTB、クロック信号入力パッドCLK、ラッチ信号入力パッドLAは、それぞれ、ヘッド基板23上に形成されたストロブ信号用配線パターン50_{STB}、クロック信号用配線パターン50_{CLK}、グランド用配線パターン50_{GND}にそれぞれ共通接続される。また、上記ロジック電源パッドVDDおよびパワーグランドパッドPGもまた、基板上に形成されたロジック電源用配線パターン50_{VDD}およびパワーグランド用配線パターン50_{PG}に、それぞれ共通接続される。上記駆動IC45の各入出力パッドとヘッド基板23上の各配線パターンとの間の接続は、ワイヤボンディングによって行われる。

【0053】ヘッド基板23の裏面に形成される上記の各種の配線パターン、すなわち、各発熱ドットに接続されるコモン配線パターン47、個別電極パターン48、駆動IC45に接続される信号系配線パターンおよび電源系配線パターンは、上記コモン配線パターン47および個別配線パターン48が微細な配線パターンであるために、セラミック基板材料上に金ペーストを印刷・焼成して金被膜を形成した後、この金被膜に対してフォトリソ工程を施すことによって形成される。なお、サーマルプリントヘッド機能を形成するためのヘッド基板23の下面にはまた、上記配線パターンを形成するに先立って、ガラスペーストを印刷・焼成することによるグレーズ層51が形成されている。また、配線パターンの形成後の表面には、やはりガラス等からなる保護層52が形成される。すでに述べたように、ヘッド基板23の上面側の配線パターンを覆うようにして保護層43が形成されるが、上記ヘッド基板23の形成は、まず、上面のイメージセンサ機能のための配線パターン42_{VDD}、42

42_{GND}、42_{CLK}、42_{AO}、42_S等の形成を行った後、下面のサーマルプリントヘッド機能のための配線パターン47、48、50_S、50_{DATA}、50_{STB}、50_{CLK}、50_{GND}、50_{VDD}、50_{PG}等の形成を行うようにすることが好適であり、その場合、上面側の保護層43は、下面側の配線パターンや保護層52の形成や、発熱ドット30の抵抗値調整を行うパルストリミング時に発生する熱によってはたやすく軟化溶融して不具合が発生することがないように、相対的に軟化温度が高い材質が採用される。

【0054】たとえば、8ドット/mmの印字密度でA4幅の印字を行うように構成する場合、上記発熱抵抗体3上に1728個の発熱ドットが形成される。一つの駆動ICが、それぞれ96個の発熱ドットを担当してこれを駆動する場合、ヘッド基板23上には、18個の駆動IC31が搭載されることになる。

【0055】データ用配線パターン50_{DATA}を介して1728ドット分の印字データが入力されると、各駆動ICのシフトレジスタ内には、96ドット分ずつの印字データがストアされる。ついでラッチ信号が入力されると、シフトレジスタ内のデータはラッチレジスタに移送される。ついでストロブ信号が入力されている間、ラッチレジスタにおけるハイレベルとなっている桁と対応する発熱ドット30を駆動するべく、上記個別電極パターン48に電流が流される。

【0056】このとき、発熱抵抗体44には、感熱記録紙Pがブラテンローラ32に押圧されて接触させられており、上記のように駆動されて発熱させられている発熱ドット30接触する部分が変色して印字記録が行われる。そして、感熱記録紙Pが1ピッチずつ副走査方向に送られて上記と同様の作動により印字が行われる。

【0057】以上説明したように、本願発明に係る上記画像読み書きヘッド20は、ケース21の上面に取付けたガラスカバー22上に案内されてくる原稿Dの画像を上記ヘッド基板23の上面に配置したイメージセンサチップ24が読み取る。一方、ケース21の裏面側に臨む上記ヘッド基板23の下面に配置された複数の発熱ドット30が印字データにしたがって駆動回路45によって駆動させることにより、この発熱ドット30に接触するようにして送られる感熱記録紙Pに画像を記録する。このように、上記構成の画像読み書きヘッド20は、その上面に読み取り原稿Dの搬送経路を設定し、下面に記録紙Pの搬送経路を設定することができるので、この画像読み書きヘッド20を搭載する画像処理装置は、とくにその原稿および記録紙送り方向(副走査方向)の寸法を、著しく短縮することができる。

【0058】また、図に示す形態においては、上記イメージセンサチップ24は、受光部としての所定個数の光電変換素子28、各光電変換素子にそれぞれ直列的に接続されるアナログスイッチ33、クロック信号によって

上記アナログスイッチ33を順次的にオンする切り換え回路34などからなるイメージセンサチップとしての基本的構成に加え、各光電変換素子28のための出力負荷35、36と、この出力負荷35、36の一端電位を増幅するための増幅回路37と、この増幅回路37のためのゲインを調整するための抵抗Rまでもが1チップ内に一体に造り込まれたものである。とくに、増幅回路のゲインは、このイメージセンサチップ24を作製するためのウエハの段階において、上記直列に接続された複数の抵抗 R_{a1} 、 R_{a2} 、 R_{a3} 、 R_{a4} 、 R_{b1} 、 R_{b2} 、 R_{b3} 、 R_{b4} のうち、選択した抵抗を、そのバイパス配線38をレーザカットして活かすことによって上記ゲイン調整抵抗の全抵抗を設定することにより、簡便に調整することができる。そうして、このようなイメージセンサチップ24においては、画像読み取り信号として各光電変換素子28から出力される微小電流信号は、センサチップ外に出ることなく、上記出力負荷35、36の光電変換素子側の電位が増幅回路37によって増幅されたアナログ電圧信号として外部に出力される。したがって、従来の密着型イメージセンサの場合のように、クロック信号に起因するノイズによって画像読み取り性能が悪化するという不具合は著しく軽減され、または解消される。

【0059】図に示す実施形態においては、上記ヘッド基板23は、耐熱性と絶縁性に優れたセラミック材料を基材としているので、その下面に構成されるサーマルプリントヘッド機能のための基板として求められる要件を満足する。そして、その上面にイメージセンサ機能を構成するための配線パターンのみを、その下面にサーマルプリントヘッド機能を構成するための配線パターンのみを形成している。サーマルプリントヘッド機能を構成するための配線パターンは、共通電極パターン47および個別電極パターン48の双方が微細なパターンであるため、フォトリソ工程を必要とするが、上記構成のヘッド基板23は、まず、アルミナセラミックからなる基板材料の上面に対してイメージセンサ機能を形成するための配線パターンをたとえばスクリーン印刷法によって形成した後、このヘッド基板中間品を、従前のサーマルプリントヘッドのためのヘッド基板を製造するための工程に導入することにより、簡便に製造することが可能となる。

【0060】もちろん、この発明の範囲は上述した実施形態に限定されるものではない。図に示す実施形態では、ヘッド基板23として、セラミック基板材料の上面にイメージセンサとしての機能を構成し、セラミック基板材料の下面にサーマルプリントヘッドとしての機能を構成したが、たとえば、ガラスエポキシ基板材料の上面に上記イメージセンサとしての機能を構成する一方、セラミック基板材料の下面に上記サーマルプリントヘッドとしての機能を構成し、これらの基板を背中合わせに貼り合わせてヘッド基板を構成することもできる。

【0061】また、図に示す実施形態においては、ヘッド基板23の下面には、いわゆる厚膜型のサーマルプリントヘッドを形成したが、いわゆる薄膜型のサーマルプリントヘッドを構成してもよいことはもちろんである。

【0062】さらに、図に示す実施形態においては、イメージセンサ機能において、各光電変換素子28に直列に接続されるアナログスイッチ33は、各光電変換素子28に対してグランド側に接続されているが、電源側に接続することもできる。また、コンデンサ負荷36および抵抗負荷35は、図に示す実施形態のように光電変換素子に対してグランド側に共通接続するほか、電源側に共通接続し、その端部間の電位差を増幅回路によって増幅するようにしてもよい。

【0063】さらに、図に示す実施形態においては、フォトランジスタ28のための出力負荷として、コンデンサ負荷36と抵抗負荷35とを並列接続して構成したが、抵抗負荷35のみ、あるいはコンデンサ負荷36のみで構成することも可能である。

【図面の簡単な説明】

【図1】本願発明に係る画像読み書きヘッドの一実施形態の分解斜視図。

【図2】図1に示される画像読み書きヘッドの組立て状態での断面図。

【図3】上記画像読み書きヘッドのヘッド基板の上面にイメージセンサ機能を構成するために搭載されるイメージセンサチップの一実施形態の拡大平面図。

【図4】上記ヘッド基板の上面の部分拡大平面図。

【図5】上記イメージセンサチップの等価回路図。

【図6】図4のVI-VI線断面図。

【図7】図5の回路構成をもつイメージセンサチップの動作を説明するためのタイミングチャート。

【図8】図5の回路構成をもつイメージセンサチップの作用を説明するためのグラフ。

【図9】図5の回路構成をもつイメージセンサチップの作用を説明するための出力波形図。

【図10】上記ヘッド基板の下面に形成されるサーマルプリントヘッド機能部の全体図。

【図11】図10に示されるサーマルプリントヘッド機能部の左方部の詳細図。

【図12】図10に示されるサーマルプリントヘッド機能部の長手方向中央部付近の詳細図。

【図13】図10に示されるサーマルプリントヘッド機能部の右方部の詳細図。

【図14】図10ないし図13に示されるサーマルプリントヘッド機能部における発熱ドット部の詳細図。

【図15】図14のXV-XV線断面図。

【図16】従来例に係るイメージセンサの断面図。

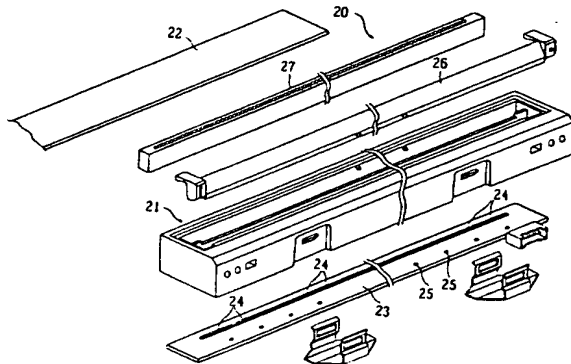
【図17】従来例の動作を説明するためのタイミングチャート。

【符号の説明】

17

- 20 画像読み書きヘッド
- 21 ケース
- 22 ガラスカバー
- 23 ヘッド基板
- 24 イメージセンサチップ
- 25 LEDチップ
- 26 導光板
- 27 ロッドレンズアレイ
- 28 受光素子 (フォトランジスタ)
- 29 プラテンローラ
- 30 発熱ドット
- 32 プラテンローラ
- 33 アナログスイッチ
- 34 切り換え回路 (シフトレジスタ)
- 35 抵抗負荷 (出力負荷)
- 36 コンデンサ負荷 (出力負荷)
- 37 増幅回路 (オペアンプ)
- 38 バイパス配線
- 39 アナログスイッチ
- 40 チップ選択回路
- 41 アナログスイッチ
- 42_{vod} 電源用配線パターン
- 42_{clk} クロック用配線パターン
- 42_{ao} アナログ出力用配線パターン
- 42_{gd} グランド用配線パターン

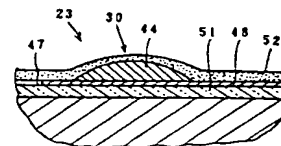
【図1】



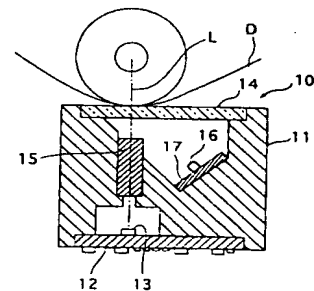
18

- 42_s シリアルデータ用配線パターン
- 42_{ld} LEDチップ用配線パターン
- 43 保護層
- 44 発熱抵抗体
- 45 駆動IC
- 46 共通電極配線
- 47 コモンパターン
- 48 個別電極パターン
- 50_d データ用配線パターン
- 10 50_{DATA} データ用配線パターン
- 50_{ST} ストローブ信号用配線パターン
- 50_{CLK} クロック信号用配線パターン
- 50_{GD} グランド用配線パターン
- 50_{vd} 電源用配線パターン
- 50_{vg} パワーグランド用配線パターン
- 51 グレーズ層
- 52 保護層
- R ゲイン調整用抵抗
- Ra 抵抗群
- 20 Rb 抵抗群
- Ra₁, Ra₂, Ra₃, Ra₄ 調整用抵抗
- Rb₁, Rb₂, Rb₃, Rb₄ 調整用抵抗
- L 読み取りライン
- D 原稿面
- P 記録紙

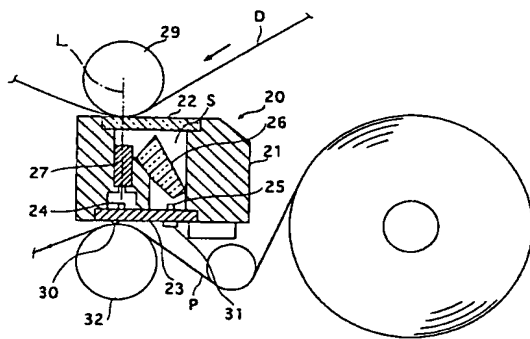
【図15】



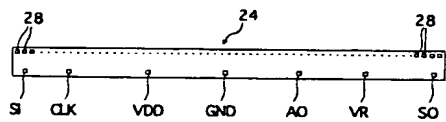
【図16】



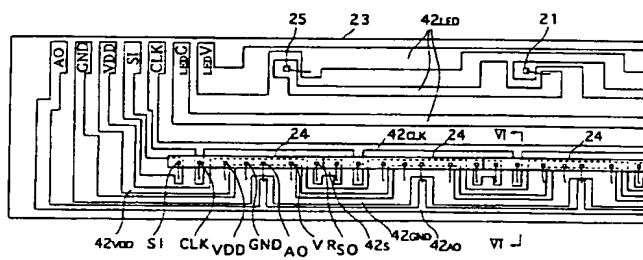
【図 2】



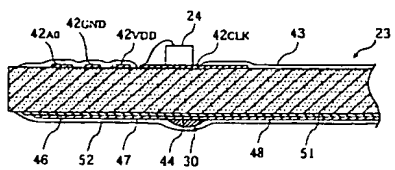
【図 3】



【図4】

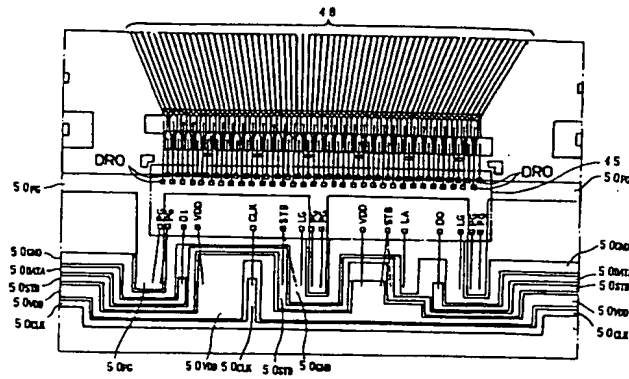


【図 6】

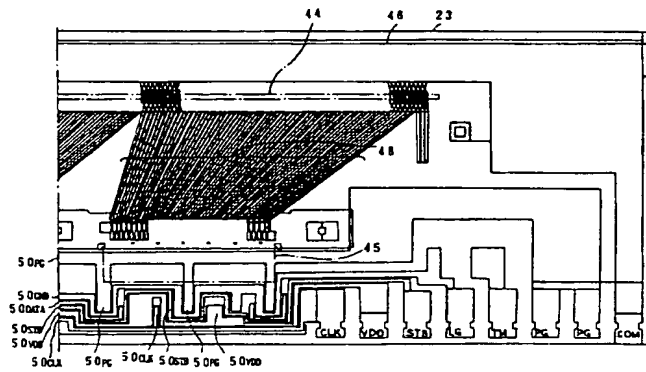


This diagram shows a cross-section of the device. It features a substrate with various layers and components labeled with reference numerals: 47, 48, 23, 44, 46, 49, 50, 51, 52, 53, 54, 55, 56, 57, 58, 59, 60, 61, 62, 63, 64, 65, 66, 67, 68, 69, 70, 71, 72, 73, 74, 75, 76, 77, 78, 79, 80, 81, 82, 83, 84, 85, 86, 87, 88, 89, 90, 91, 92, 93, 94, 95, 96, 97, 98, 99, 100. The diagram illustrates the complex layering and electrical connections between different parts of the device.

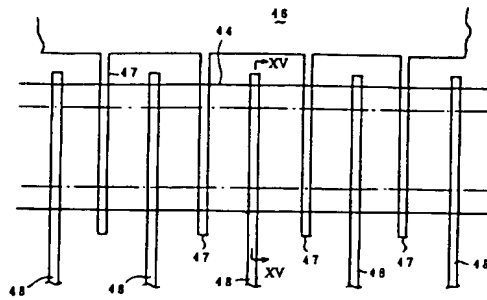
【図12】



【図13】



【図14】



【図17】

